



(19)

(11) Publication number: 06104942 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 04252437

(51) Intl. Cl.: H04L 27/18 H03M 13/12 H04L 25/08

(22) Application date: 22.09.92

(30) Priority:

(43) Date of application publication: 15.04.94

(84) Designated contracting states:

(71)

Applicant: NEC CORP

(72) Inventor: TODOROKI TOSHIYA

(74)

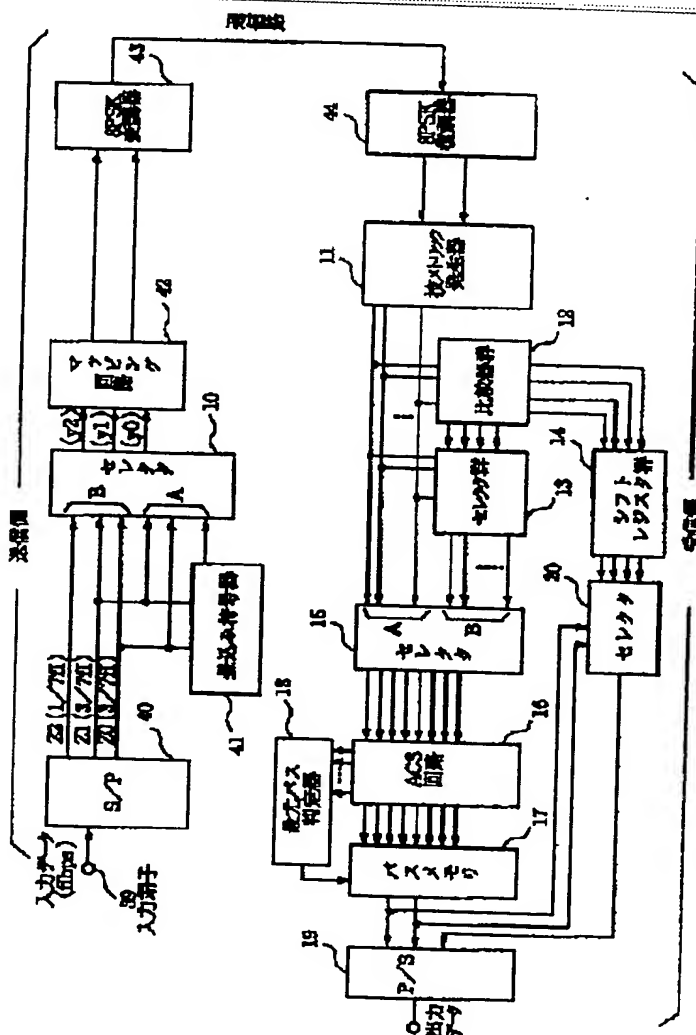
Representative:

(54) DATA TRANSMISSION SYSTEM

(57) Abstract:

PURPOSE: To attain the use of the same modem even when a speed of information is made variable by selectively sending an output of a convolution coder and information bit 22 system information and processing the information with a Viterbi demodulator or a branch metric re-configuration circuit or the like at a receiver side.

CONSTITUTION: Input data via a serial parallel converter 40 are 2-system data consisting of an information bit and code data by a convolution coder 41, a selector 10 selects one of them and an 8PSK modulator 43 modulates the selected data and the result is sent. The data are processed by a PSK modulator 44 and a branch metric generator 11 at a receiver side and convolution data are outputted via a parallel serial converter 19. On the other hand, in the case of the information bit, it is processed by a branch metric re-configuration circuit such as a comparator group 12 and a selector group 13 and the result is outputted and a bit independently of coding in the information bits is designated by a shift register group 14 and a selector 20 or the like. Through the constitution above, the system copes with the variable information speed with a constant modulation speed and a single modem is used.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-104942

(43)公開日 平成6年(1994)4月15日

(51)Int.Cl.⁵

H04L 27/18

H03M 13/12

H04L 25/08

識別記号

B

庁内整理番号

9297-5K

8730-5J

B

8226-5K

F I

技術表示箇所

審査請求 未請求 請求項の数1(全13頁)

(21)出願番号

特願平4-252437

(22)出願日

平成4年(1992)9月22日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 轟 俊哉

東京都港区芝五丁目7番1号日本電気株式会社内

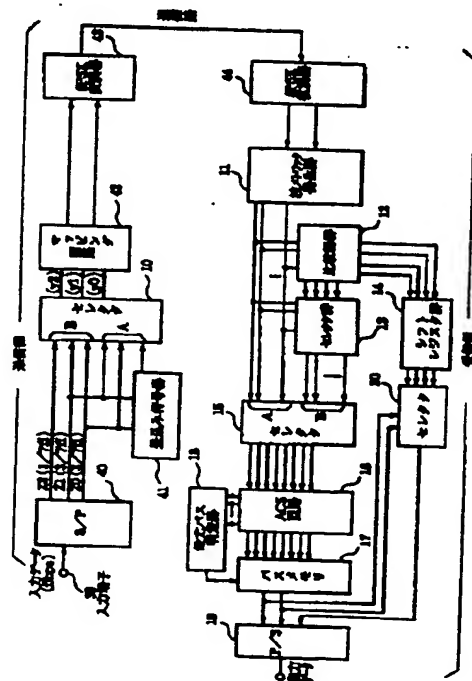
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 データ伝送方式

(57)【要約】

【目的】符号化変調方式を用い送信側が畳込み符号器を有し、受信側がビタビ復号器を有する通信装置によるデータ伝送方式において、情報速度が可変の場合においても、同一の変復調器が使用可能なデータ伝送方式を提供し、かつ、使用帯域の範囲を同一として、データ伝送方式の周波数帯域の有効利用を図る。

【構成】送信側では畳込み符号器41の出力と情報ビットのみの出力との2系統の信号を生成してこの2系統の信号を周期的に切り換えるセレクタ10を備えて符号化率可変の符号器を作り、受信側では指定した送信側の畳込み符号器41の信号を復号するビタビ復号器を備え、さらに情報ビットのみの受信シンボルが入力されたときのみ、枝メトリックを再構成する回路12、13と、情報ビットのみの中で符号化に依存しないビットを指定する回路14、19、20を付加している。



【特許請求の範囲】

【請求項１】 送信側においてシリアルデータを並列変換して畳み込み符号化により冗長ビットを付加する第１のデータ系列信号と前記冗長ビットを外して代りにデータビットを付加する第２のデータ系列信号とを出力する直列並列変換手段と、前記第１のデータ系列を入力して前記冗長ビットを出力する畳み込み符号化手段と、前記第１のデータ系列信号に前記冗長ビットを付加した符号化信号と前記第２のデータ系列とを入力して所定の周期で交互に選択する選択手段と選択された信号を二次元の信号点に写像する機能を備え、

受信側において復調された二次元の I チャネル、Q チャネル軟判定データを入力して前記符号化信号ならびに前記第 2 のデータ系列信号と各信号点との尤度を求める枝メトリックデータを出力する枝メトリック発生手段と、前記第 2 のデータ系列信号に対応する枝メトリックデータを入力してその大小関係を調べる比較手段と、前記比較手段の結果を入力して再編成された枝メトリックデータを選択する第 1 の選択手段と、前記第 1 の選択手段の出力データと前記符号化信号に対応する枝メトリックデータとを周期的に選択する第 2 の選択手段と、前記第 2 の選択手段の出力である枝メトリックと前時刻までの生き残りパスのメトリックとを加算し、ある状態に合流する最も確からしいパスを選択する ACS (Add Compare Select) 回路と生き残りパスを記憶するパスメモリと現時刻の最尤のパスメトリックを求める最尤パス判定器と再尤パス判定器の情報により、現時刻の復号ビットの推定値をパスメモリより出力する最尤パス判定手段と、前記比較手段の比較結果を示す出力信号を前記最尤パス判定手段を通過する時間に対応して一定期間保持する保持手段と、前記保持手段の出力信号を入力し前記最尤パス判定手段の出力信号の制御により前記第 2 のデータ信号の推定付加ビットを選択する第 3 の選択手段と、前記最尤パス判定手段の出力信号と前記第 3 の選択手段の出力信号とを入力して並列直列変換する手段とを有することを特徴とするデータ伝送方式。

【発明の詳細な説明】

{ 0 0 0 1 }

【産業上の利用分野】本発明は、データ伝送方式に関し、特に畳込み符号器およびビタビ復号器と多相又は多値ディジタル無線変復調装置とを備えたデータ伝送方式において、変調方式を一定にしたままで情報速度を上げた場合でも変調速度が変わらないデータ伝送方式に関する。

[0002]

【従来の技術】一般に多相位相変調又は多値振幅変調方式において、1信号点のシンボルがNビットの場合に、 2^N 個の信号点を配置することができる。さらにNビットの各シンボルに対して、例えば1ビットの冗長ビットを付加することにより、2次元に配列される信号点は2

$N+1$ 個となり、信号点が 2 倍となる。この 2^{N+1} 個の号点は、任意の 2 個の信号点のユークリッド距離よりも、部分集合に属する 2 個の信号点間のユークリッド距離が大きくなるように集合分割がなされている。符号は有限状態メモリの状態遷移を使っていくつかの系列のみが有効となるように状態間の遷移に応じて、対応する部分集合を選択していく。このように符号化された信号系列を受信側で復号する際には、最尤復号法として用いられているビタビアルゴリズムが用いられる。

10 【0003】従来、この種のデータ伝送方式は、図6示すように、送信側は、畳み込み符号器41、信号点位置を設定するマッピング回路42、例えば $N=3$ ビットとして8信号点を作成し、この8信号点を入力して位変調する8PSK変調器43から構成される。受信側は、8PSK復調器44、ビット復号器45から構成される。ここで畳み込み符号器41の各信号点の出力値(y_2, y_1, y_0)はマッピング回路42を使って4で示す位置にマッピングされ、8相位相変調(8PSK)変調器43によって変調され、通信路へ伝送される。伝送中に雑音が付加された8相位相変調信号は、PSK復調器44で復調され、Mビット軟判定Ich、Qchデータを得る。このmビット軟判定Ich、Qchデータは、ビット復号器45に入力され、推定され、情報データ系列dが求められる。

【0004】次に従来の畳込み符号器41の動作を図2により説明する。初めに畳込み符号器41は入力端子77, 78の前に備えられたシリアルパラレル変換器6を通して並列変換された情報ビット x_1, x_2 を入力する。今、符号化率 $2/3$ とすると本符号器は、入力端子77, 78から入力された情報ビット x_1, x_2 とレジスタ82, 83の出力との排他的論理和を行ない、排他的論理和回路85, 86から出力される。この出力はそれぞれレジスタ83, 84に格納される。この時符号化データとして情報ビット x_1, x_2 の出力 y_1, y_2 と冗長ビット y_0 を付加して (y_2, y_1, y_0) を出力する。本符号器は情報ビット x_1, x_2 が入力される毎に上記の動作を繰り返し、その毎に (y_2, y_1, y_0) を出力する。出力されたデータ (y_2, y_1, y_0) は図4で示す位置にマッピングされる。次に符号化率を $3/4$ の信号が入力された場合に、畳込み符号器は前述の符号器をそのまま使用するとすれば、情報ビット x_1, x_2, x_3 の3ビットに対して前述の x_1, x_2 に依存して決まる冗長ビット y_0 を付加して4ビットとなる。ここで x_3 は誤り訂正符号化、すなわち畳込み符号化を通さない非符号化ビット x_3 が入ることになる。また、1シンボルは (x_1, x_2, x_3, y_0) となるので、前述のデータ伝送システム(図6)で説明した8PSK変調器を使用できず、1シンボル4ビット形成の例えば16QAM変調器を用意する必要がある。

50 【0005】次にビタビ復号器45の動作を図13の1

成図、およびACS (Add Compare Select) 回路の内部構成を示す加算回路50~53、および比較器54、セクタ55を含む図10と、セクタ回路を含む図11により説明する。図13において、8相PSK信号の場合に復調された入力端子87、88からのmビット軟判定Ich、Qchは、枝メトリック発生器89により、図4に示した各8相信号点と受信点との尤度(ブランチメトリックと呼ぶ)BM0、BM1、...BM7が求められる。BM0~BM7はACS回路90に入力される。なお、図9は、畳込み符号器のトレリス遷移を表した図である。図10に示すようにACS回路90のトレリス遷移図に示される0状態の処理としてはBM0+PM0、BM4+PM2、BM2+PM4、BM6+PM6が加算器50、51、52、53により計算され、最も尤度が高いバスメトリックが比較器54によって算出し、セクタ55により選択され、次時刻でのPM0となる。ここで4状態から遷移したものが選ばれたとする。この選択されたパスに連動して図11のセクタ56、60、64、68のセレクト信号SEL0によってバスメモリ内の4状態シフトレジスタ76に蓄積されているパスの履歴が、0状態シフトレジスタ76へ右に1つシフトされて格納され、0状態シフトレジスタ76には遷移間出力値である2つの情報ビット“01”が格納される。同様に1、2、...、7状態に関しても図9に示すトレリス遷移に従う回路によって上記操作が同時に実行される。受信シンボルが入力される毎にPM0~PM7の最尤値が最尤パス判定器92によって検出され、セクタ72によって最尤パスの状態をもつシフトレジスタの最終段の出力が選択され、推定復号ビットを示す推定値 $\times 2$ 、 $\times 1$ を得る。

【0006】

【発明が解決しようとする課題】この従来のデータ伝送方式では、前述したように例えば符号化率2/3で8PSK変復調であったものが、符号化率3/4とすると、16QAM変復調器を使用しなくてはいけなくなる。すなわち、従来の符号化変調方式では、変調速度を一定にして情報速度を上げた場合には、少なくとも同一の変復調装置を用いて対応できない欠点があった。

【0007】本発明の目的は変調速度を一定にして情報速度を上げた場合でも、従来の畳込み符号器および変復調装置を変更することなく、データを伝送できるデータ伝送方式を提供することにある。

【0008】

【課題を解決するための手段】本発明のデータ伝送方式は、送信側においてシリアルデータを並列変換して畳込み符号化により冗長ビットを付加する第1のデータ系列信号と前記冗長ビットを外して代りにデータビットを付加する第2のデータ系列信号とを出力する直列並列変換手段と、前記第1のデータ系列を入力して前記冗長ビットを出力する畳込み符号化手段と、前記第1のデー

タ系列信号に前記冗長ビットを付加した符号化信号と、前記第2のデータ系列とを入力して所定の周期で交互に択する選択手段と選択された信号を二次元の信号点に像する機能を備え、受信側において復調された二次元Iチャネル、Qチャネル軟判定データを入力して前記符号化信号ならびに前記第2のデータ系列信号と各信号との尤度を求める枝メトリックデータを出力する枝メトリック発生手段と、前記第2のデータ系列信号に対応する枝メトリックデータを入力してその大小関係を調べ比較手段と、前記比較手段の結果を入力して再編成された枝メトリックデータを選択する第1の選択手段と、前記第1の選択手段の出力データと前記符号化信号に対する枝メトリックデータとを周期的に選択する第2の選択手段と、前記第2の選択手段の出力である枝メトリックと前時刻までの生き残りパスのメトリックとを加算し、ある状態に合流する最も確からしいパスを選択するACS (Add Compare Select) 回路、生き残りパスを記憶するバスメモリと現時刻の最尤のバスメトリックを求める最尤パス判定器と再尤パス判定器との情報により、現時刻の復号ビットの推定値をバスメモリより出力する最尤パス判定手段と、前記比較手段の比較結果を示す出力信号を前記最尤パス判定手段を通過する時間に対応して一定期間保持する保持手段と、前記保持手段の出力信号を入力し前記最尤パス判定手段の出力信号の制御により前記第2のデータ信号の推定付加ビットを選択する第3の選択手段と、前記最尤パス判定手段の出力信号と前記第3の選択手段の出力信号とを入力して並列直列変換する手段とを有する。

【0009】

【実施例】次に本発明について図面を参照して説明する。図1は、本発明の一実施例のデータ伝送方式のブロック図である。図2は、本実施例の受信側の要部であるデータ系列を復号する復号器のブロック図である。

【0010】まず、図1の実施例の送信側は入力端子9から情報速度 f_1 bps (bit per second) の信号系列を直並列変換器40により、3本のデータ系列 z_2 、 z_1 、 z_0 に分割する。このとき、各信号系列の情報速度は、 z_2 を $f_1/7$ 、 z_1 を $3f_1/7$ 、 z_0 を $3f_1/7$ bpsである(図3参照)。 z_1 、 z_0 は符号化率2/3の畳込み符号器41へ $3f_1/7$ 毎に入力される。畳込み符号器41は、図14に示すが、符号器自体は従来例の図12と同様である。図14において、 z_0 とレジスタ31の出力、 z_1 とレジスタ32の出力はそれぞれ排他的論理和34、35にそれぞれ入力し、レジスタ33の出力、排他的論理和34、35の出力は、それぞれシフトレジスタ31、32、33に入力し、符号化データとして、(z_1 、 z_0 、P)を出力する。ここで、Pはシフトレジスタ33からの出力で冗長ビットを表す。最終的な符号器の出力値(y_2 、 y_1 、 y_0)は、セクタ10により、(z_2 、 z_1 、 z_0)と

1, z_0) 又は (z_1 , z_0 , P) のどちらかを得るので、符号化率は $7/9$ となる。従来例に適用すると、情報速度は $(6/7) f_1 \text{ bps}$ となる。また、変調速度は実施例、従来例共に $(3/7) f_1 \text{ baud}$ (ボー) となり、情報速度を上げたにもかかわらず変わっていない。

【0011】この処理の過程を示したタイミングチャートが図3である。 $D_0, D_1, \dots, D_{13}, D_{14}, \dots$ のデータ系列 d は、 z_2 系列として D_0, D_7, \dots であり、 z_1 系列として $D_1, D_3, D_5, D_8, D_{12}, \dots$ であり、 z_0 系列として $D_2, D_4, D_6, D_9, D_{11}, D_{13}, \dots$ の各系列に分割される。次にセクタ10によって3まず畳込み符号器41の出力 ($D_1, D_3, P_1, 2$) が選ばれ、次いで、同じく畳込み符号器41の出力 ($D_3, D_4, P_3, 4$) が選ばれ、最後に、(z_2, z_1, z_0) の組である (D_0, D_5, D_6) が選択される。このように、 D_5, D_6 により得られた冗長ビット $P_5 b$ を捨てて、代りに D_0 を加えた (D_0, D_5, D_6) の信号点を送信しても、受信側で従来のビタビ復号器に、後述するこのシンボル区間のブランチメトリックの与え方については後述するが、 D_0 の復号方法によって、 D_0, D_5, D_6 は、多少の劣化を伴うが復号できる。以後この繰り返してセクタ10を選択していく。

【0012】次に受信側のビタビ復号器の動作を図2により説明する。まず、入力端子21, 22から入力された m ビット軟判定 I_{ch}, Q_{ch} データ $r = (r_1, r_0)$ は枝メトリック発生器11により、図4に示すように、各8相信号点と受信点との尤度 (ブランチメトリックと呼ぶ) BM_0, BM_1, \dots, BM_7 が求められる。最初に受信したシンボルが畳込み符号器41から出力された冗長ビットを含むとすると、セクタ15はA側を選択し、 BM_0 (ダッシュ), BM_1 (ダッシュ), \dots, BM_7 (ダッシュ) を出力する。セクタ15の出力であるブランチメトリックはACS回路16に入力される。畳込み符号器のトレリス遷移を表した図9に示すように、各行は状態0~7の8つの状態を示す。0状態を例にとりて考えると、0状態は0, 2, 4, 6状態から遷移したバスの合流点となっていて、その遷移間出力値は0, 4, 2, 6である。したがって、図10に示すようにACS回路16の0状態の処理としては BM_0 (ダッシュ) + PM_0 , BM_4 (ダッシュ) + PM_2 , BM_2 (ダッシュ) + PM_4 , BM_6 (ダッシュ) + PM_6 が加算器50, 51, 52, 53により計算され、最も尤度が高いバスメトリックが比較器54によって算出し、セクタ55により選択され、次時刻の PM_0 となる。ここで、4状態から遷移したものが選ばれたとすると、この選ばれたバスに連動して、セクタ56, 60, 64, 68のセレクト信号 SEL_0 によってバスメモリ内の4状態シフトレジスタ76に蓄積されているバ

スの履歴が0状態シフトレジスタ76に右に1つシフトされて格納され、0状態シフトレジスタ76の初段に遷移間出力値であるこの情報ビット“01”が格納される。同様に、1, 2, \dots , 7状態に関しても図9に示したトレリス遷移図に従う回路によって、上記操作が同時実行される。受信シンボルが入力される毎に、 PM_0, PM_7 の最尤値が最尤バス判定器18によって検出され、セクタ72によって最尤バスの状態をもつシフトレジスタの最終段の出力値が選択され、推定復号ビットの推定値 z_1, z_0 を得る。

【0013】次に冗長ビットを捨てて代りに情報ビット D_0 を付加されている場合の復号処理を説明する。前したように、送信シンボル (y_2, y_1, y_0) は畳込み符号器の出力で、2次元座標 (S_1, S_0) のあるに写像されている。受信点 (r_1, r_0) とこの8つの信点 (S_1, S_0) との間のブランチメトリックは、長ビットを削減していない受信シンボルでは従来例と同じ方法で BM_2 (ダッシュ) ~ BM_7 (ダッシュ) が出できる。しかし、冗長ビットが削除されていて、替りに情報ビットが付加されている場合のブランチメトリックの算出方法は異なる。まず、送信側で ($D_n, D_{n+1}, P_n, n+1$) の替わりに ($D_{n-5}, D_n, n+1$) を送っているため、($D_n, D_{n+1}, P_n, n+1$) の形に戻して考えなくてはならない。そこで、 $P_n, n+1$ はわからないため、送信シンボルは ($D_n, D_{n+1}, 0$) 又は ($D_n, D_{n+1}, 1$) の2りが考えられる。 D_n, D_{n+1} は0, 1の値を取る。で実際に、 $\{(0, 0, 0), (0, 0, 1)\}, \{(0, 1, 0), (0, 1, 1)\}, \{(1, 0, 0), (1, 0, 1)\}, \{(1, 1, 0), (1, 1, 1)\}$ の4つのグループのいずれかであると推定される。

【0014】次に、受信点が図5の位置にあり、この信点が冗長ビットを捨てて代りに情報付加ビットがある場合のブランチメトリックの求め方について説明しておく。しきい値判定により、この受信点 r のシンボルは ($0, 0, 1$) と推定される。各グループの送信シンボルのどちらで送られたのか確定できないので、実際のブランチメトリックは同じ値とする方が妥当である。そこで送信シンボルが、 $\{(0, 0, 0), (0, 0, 1)\}, \{(0, 1, 0), (0, 1, 1)\}, \{(1, 0, 0), (1, 0, 1)\}, \{(1, 1, 0), (1, 1, 1)\}$ となる可能性の度合を求めてく。送信シンボルが (D_{n-5}, D_n, D_{n+1}) のきでもブランチメトリック $BM_0 \sim BM_7$ と与えられている。例えば、 BM_3 は受信点のシンボル ($0, 0, 1$) と送信点3のシンボル ($0, 1, 1$) に対するブランチメトリックであり、($0, 1, 1$) が雑音によって ($0, 0, 1$) に変化する可能性の度合を示すもので、さらに、 BM_3 は ($0, 1, 1$) の下線部となる

能性の度合も含んでいるので、 $\{(1, 1, 0), (1, 1, 1)\}$ が送信シンボルと仮定した場合のブランチメトリックとして用いることもできる。また、BM7は $(1, 1, 1)$ が雑音によって $(0, 0, 1)$ に変化する可能性の度合を示し、 $(1, 1, 1)$ の下線部下の2数字が1, 1となる可能性の度合も含んでいる。したがってBM3とBM7は、どちらもグループ $\{(1, 1, 0), (1, 1, 1)\}$ が送信シンボルである度合を示すブランチメトリックであり、最終的にBM3とBM7の大きい方が、 $(1, 1, 0)$ に対するブランチメトリック、BM6(ダッシュ)=MAX{BM3, BM7}, $(1, 1, 1)$ に対するブランチメトリック、BM7(ダッシュ)となる。同様に、 $\{(0, 0, 0), (0, 0, 1)\}$ のグループでは、BM0とBM4の大きい方が $(0, 0, 0)$ に対してBM0(ダッシュ) $(0, 0, 1)$ に対してBM1(ダッシュ) $\{(0, 1, 0), (0, 1, 1)\}$ のグループでは、BM1とBM5の大きい方が $(0, 1, 0)$ に対してBM2(ダッシュ) $(0, 1, 1)$ に対してBM3(ダッシュ) $\{(1, 0, 0), (1, 0, 1)\}$ のグループでは、 $(1, 0, 0)$ に対してBM2とBM6の大きい方がBM4(ダッシュ) $(1, 0, 1)$ に対してBM5(ダッシュ)となる。各グループのBM i とBM $(i+4)$ $(i=0, 1, 2, 3)$ の大きい方を選び出す処理は、図2の比較器6, 7, 8, 9で各BM i とBM $(i+4)$ の大小を比較し、セクタ13A, 13B, 13C, 13Dで大きい方を選ぶことで行なわれる。このときセクタ15はB側が選択される。セクタ15のA側、B側選択のタイミングは図7に示す通りである。BM0(ダッシュ)~BM7(ダッシュ)が求められれば、上述と同様にACS回路16、最尤バス判定器18とバスメモリ17を動作させる。また、比較器12A~12Dで得られた選択信号は付加ビット z_2 を推定するためにシフトレジスタ14A~14Dに入力される。

【0015】このシフトレジスタ14A~14Dとセクタ20の関連動作を説明する。冗長ビットを削除した送信シンボル (D_{n-5}, D_n, D_{n+1}) の場合、 D_n, D_{n+1} の復号は、BM0~BM7からBM0(ダッシュ)~BM7(ダッシュ)を作り、ACS回路に入力することで可能となる。しかし、 D_{n-5} はビタビ復号器で復号されていないので、別に処理回路を設ける必要がある。ビタビ復号器で D_n, D_{n+1} が復号される過程において、ACS回路では、送信された (D_n, D_{n+1}) が $(0, 0) (0, 1) (1, 0) (1, 1)$ である場合の可能性の度合を入力した。この $(0, 0) (0, 1) (1, 0) (1, 1)$ の各組に応じて D_{n-5} の候補が結びつけられる。つまり $\{(0, 0, 0), (1, 0, 0)\}, \{(0, 0, 1), (1, 0, 1)\}, \{(0, 1, 0), (0, 1, 1)\}, \{(0, 1, 1), (1, 1, 1)\}$ (下線部が $D_n,$

D_{n+1} の組を示す)の各グループの各信号点を受信と比較して近い方を選ぶことである。比較器12A~12Dで選択された各グループの D_{n-5} の候補は、各フトレジスタ14A~14Dで遅延させられ、ビタビ復号器で復号された推定値 $z_1, z_2 (D_n, D_{n+1})$ の和に対応するものが各シフトレジスタの出力からセクタ20により選ばれ、 D_{n-5} の推定値 Z_2 となる。【0016】

【発明の効果】以上説明したように本発明は、送信側は、従来の畳込み符号器の出力と情報ビットのみの2種類のデータ信号出力をある一定間隔で切り換えることにより、符号化率が可変となる符号器を含んで構成し、受信側では、従来の畳込み符号器に対応するビタビアルリズムを実行する機能と、情報ビットのみの出力に対する受信シンボルのデータ信号に対応してブランチメトリックを再構成し、 (z_2, z_1, z_0) のうちの推定値 z_2 を推定する機能を付加したので、同一の変復調器に備えた既設のデータ伝送回線を用いて、変調速度を一にしたままで、情報速度が上げられる効果がある。また、ビタビ復号器に関して、ACS回路、バスメモリ共用できるのでLSI化に適している。さらに既設のデータ伝送回線の使用可能な帯域の範囲内で、情報速度が可変なデータ信号を伝送できるので、既設の周波数帯域の有効利用に多大の効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】本実施例の要部である復号器のブロック図である。

【図3】本実施例の動作を説明するタイミングチャートである。

【図4】本実施例および従来例に共通の信号点の説明図である。

【図5】本実施例の信号点の説明図である。

【図6】従来のデータ伝送方式の説明図である。

【図7】本実施例のタイミングの説明図である。

【図8】本実施例のタイミングの説明図である。

【図9】一般的な符号化率2/3のトレリス遷移図である。

【図10】一般的なACS回路の要部の構成図である。

【図11】一般的なACS回路の要部の説明図である。

【図12】従来の符号器の構成図である。

【図13】従来のビタビ復号器の構成図である。

【図14】本実施例の要部の符号器を含む構成図である。

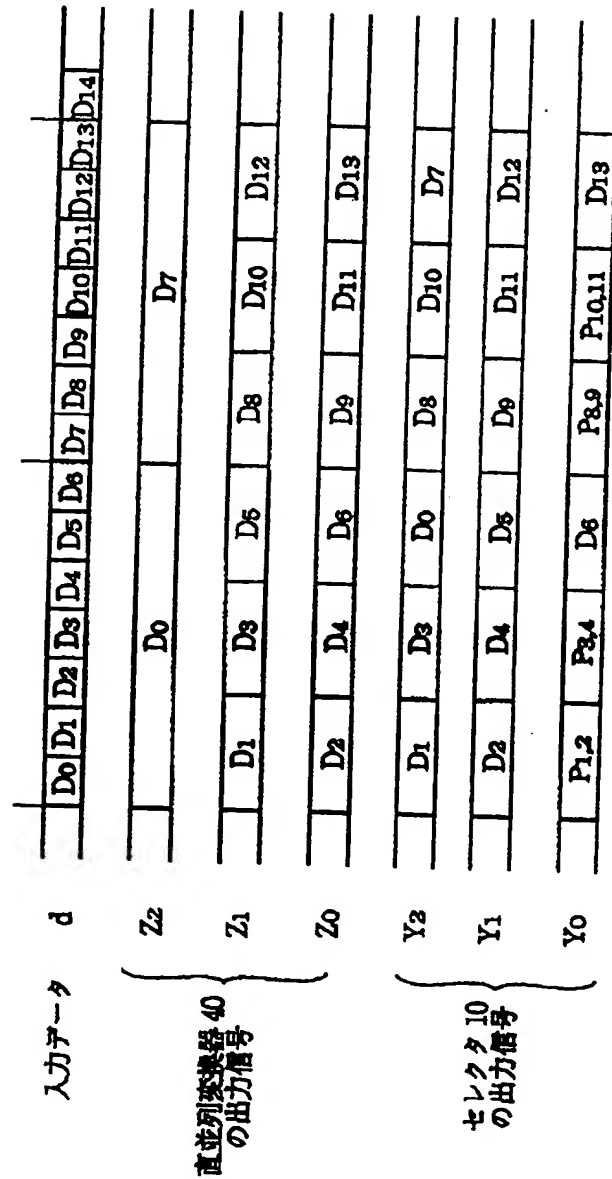
【符号の説明】

10, 13A~13D, 15, 20 セクタ
11 枝メトリック発生器
12 比較器群
12A~12D 比較器
13 セクタ群

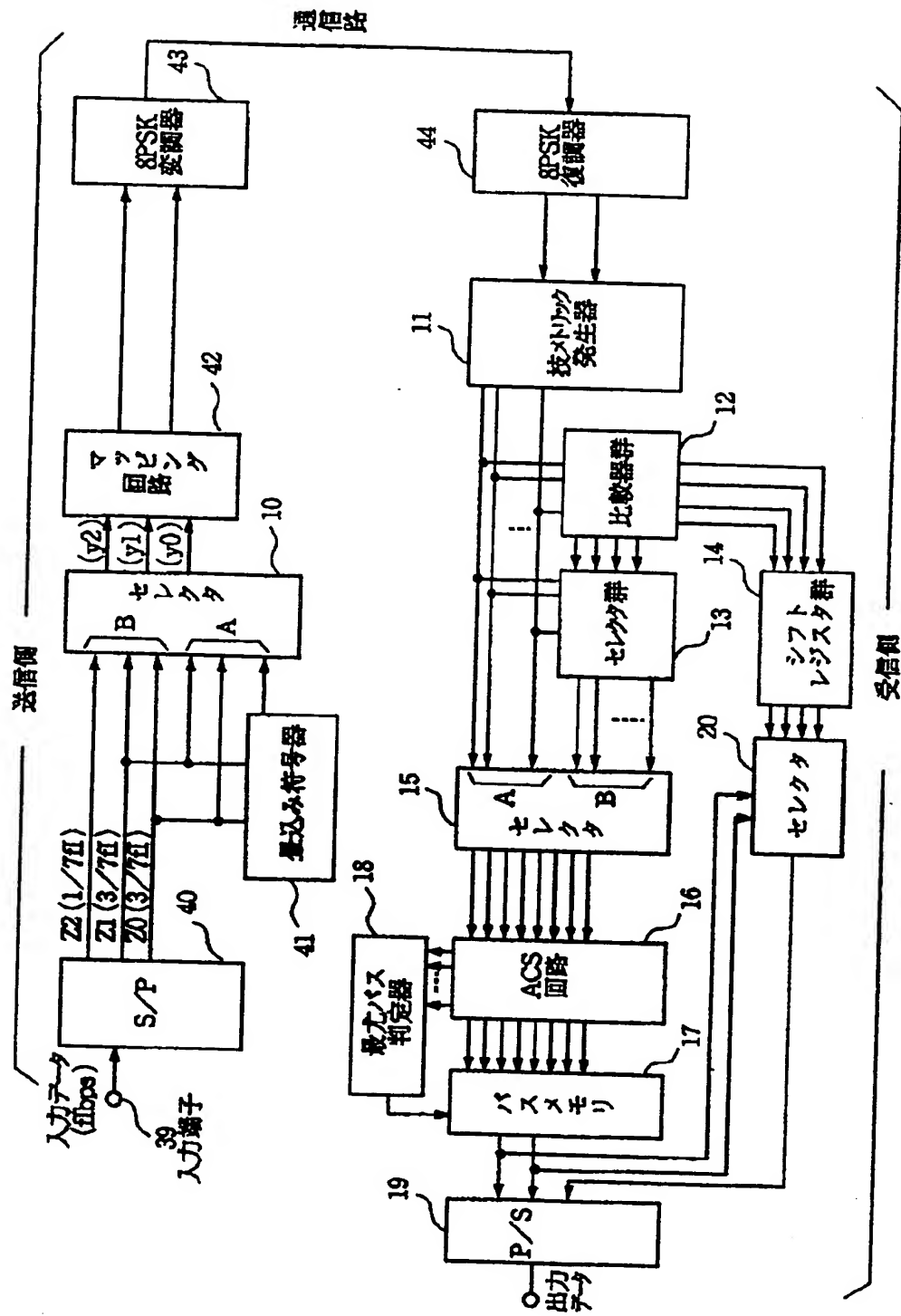
- 9
 14 シフトレジスタ群
 14 A~14 D, 31~33 シフトレジスタ
 16 ACS回路
 17 バスメモリ
 18 最尤パス判定器
 19 並列直列変換器(P/S)
 34, 35 排他的論理和回路

- 39 入力端子
 40 直列並列変換回路
 41 畳込み符号器
 42 マッピング回路
 43 8PSK変調器
 44 8PSK復調器

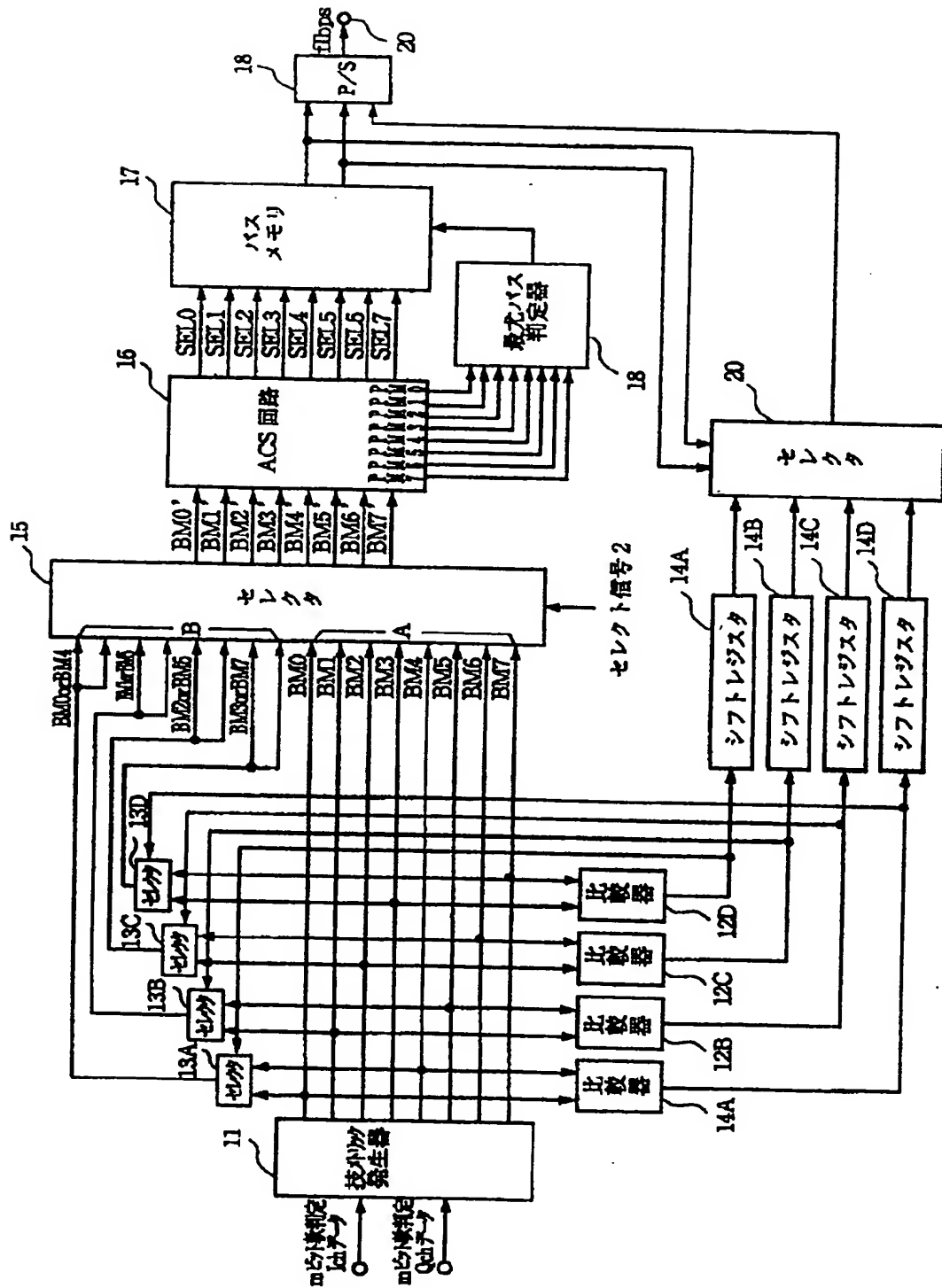
【図3】



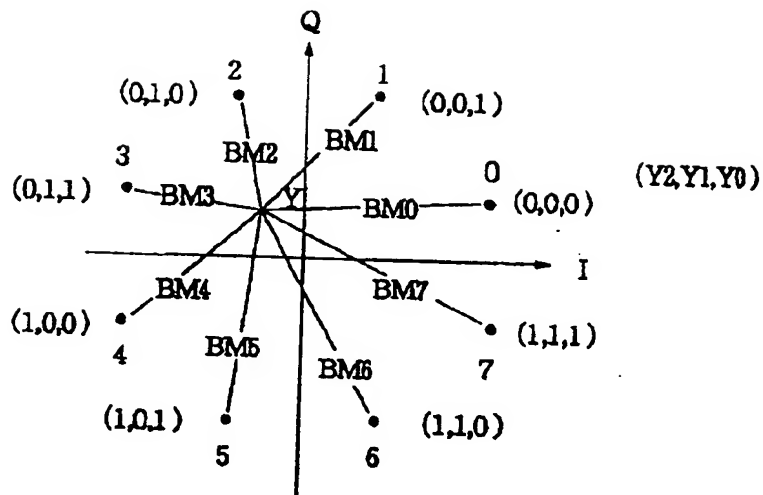
【図1】



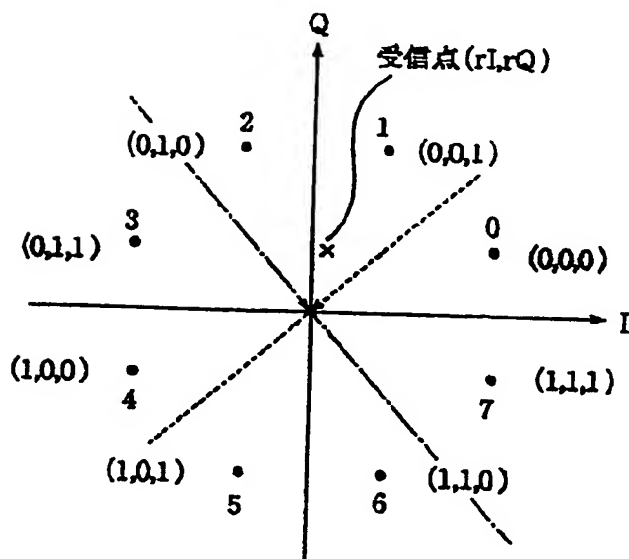
【図2】



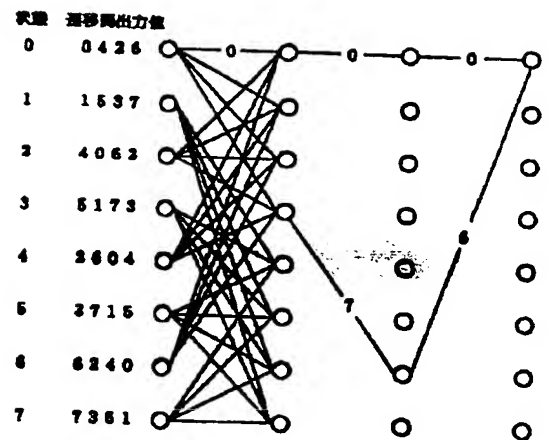
【図4】



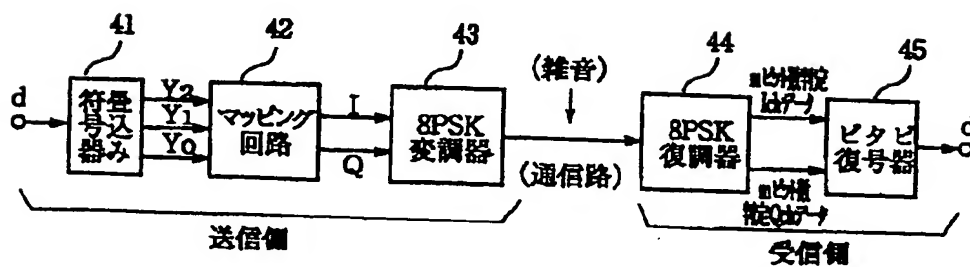
【図5】



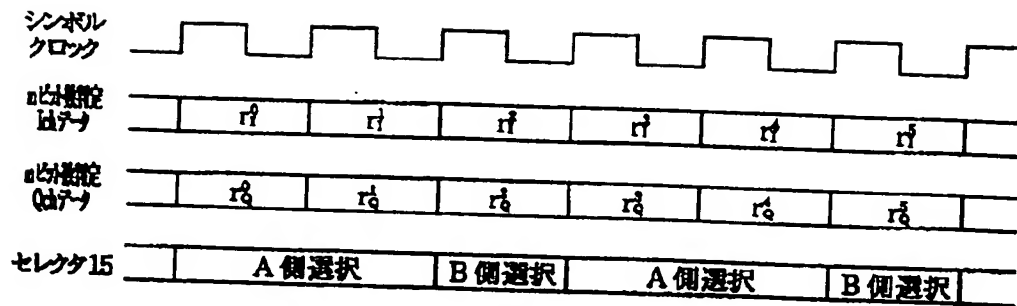
【図9】



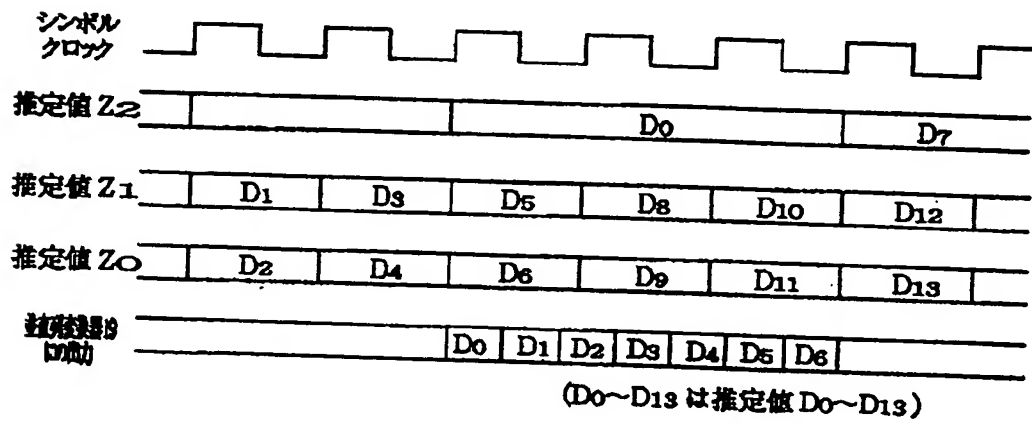
【図6】



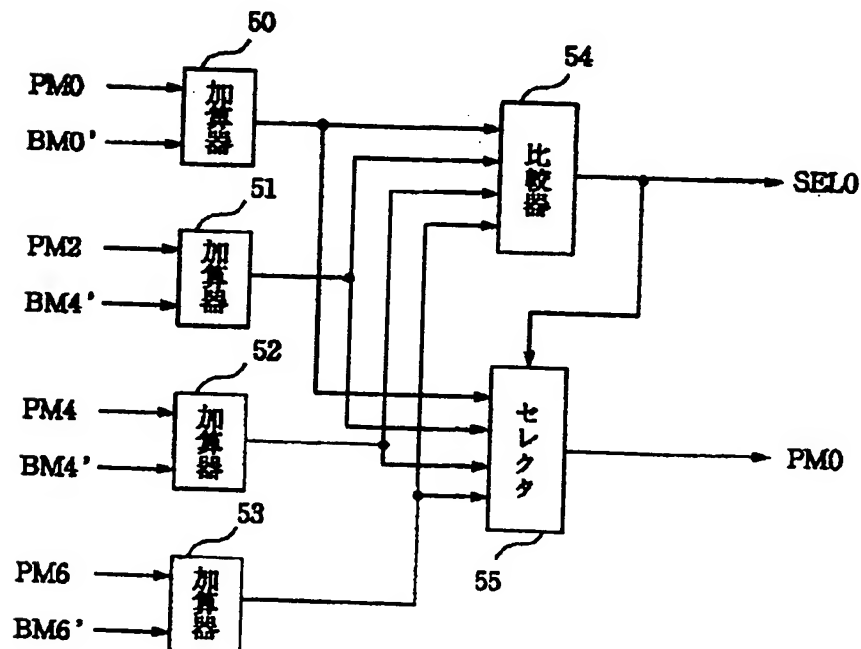
【図7】



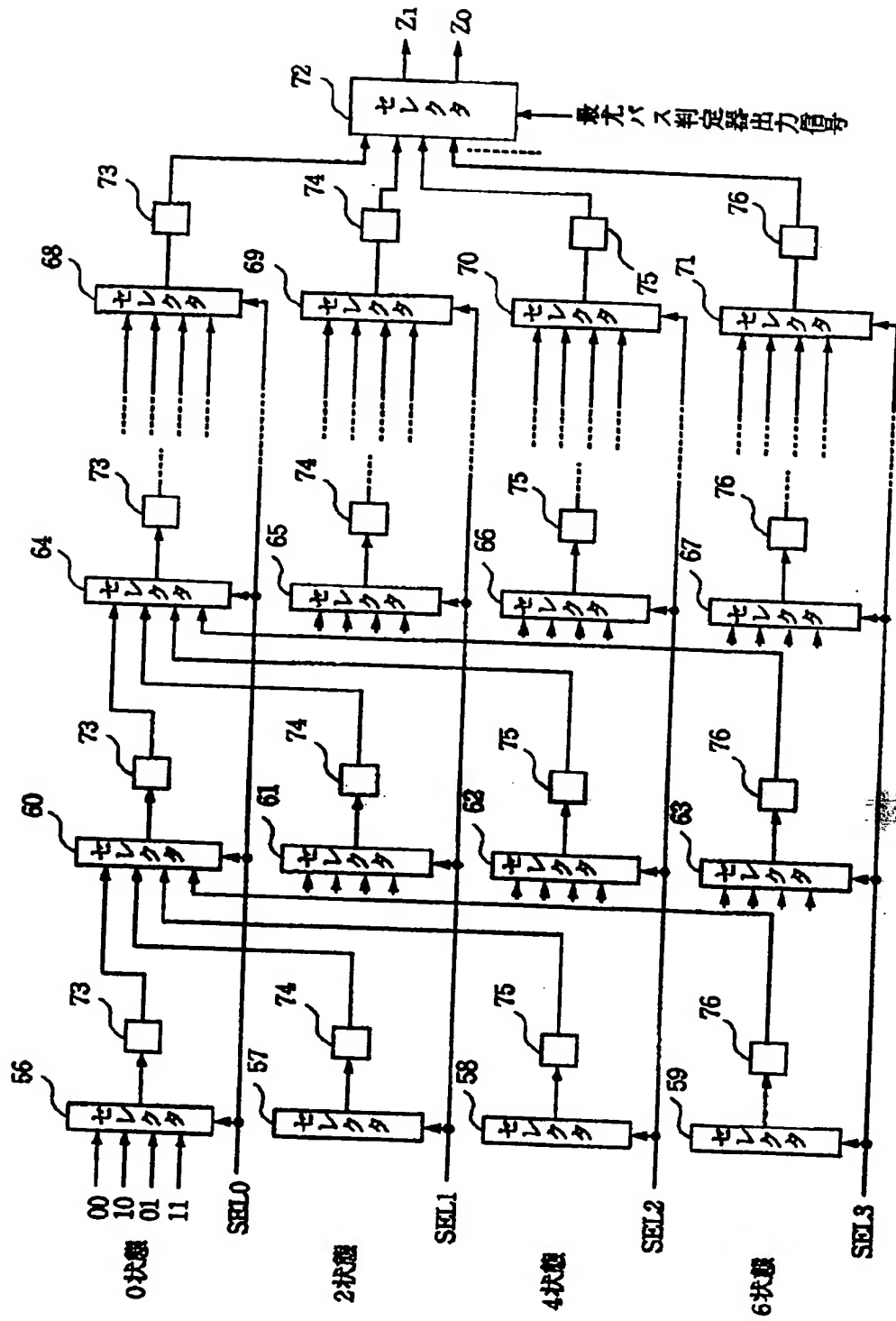
【図8】



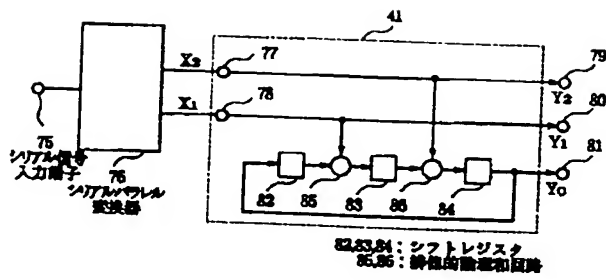
【図10】



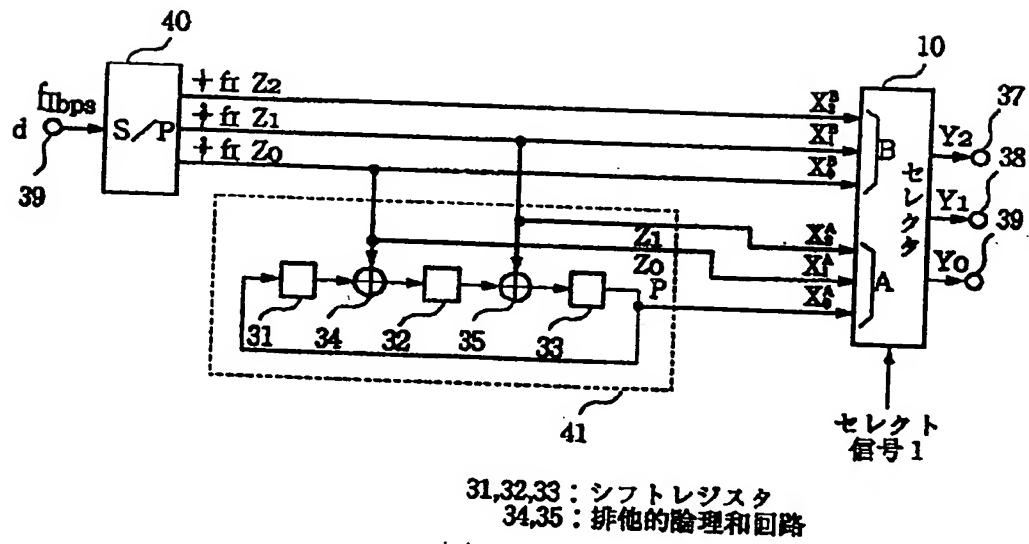
【図11】



【図12】



【図14】



【図13】

